

日本国特許
PATENT OFFICE
JAPANESE GOVERNMENT

Eiji YANAGISAWA
J Dkt. No. 2000-098431-0538P
3-30-67-12-01
Birch Stewart Kulasch
+ Birch
703-205-8000

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日

Date of Application:

2000年 3月31日

出願番号

Application Number:

特願2000-098431

出願人

Applicant(s):

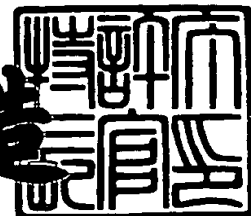
シャープ株式会社
日本電信電話株式会社



2001年 2月 9日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3006018

【書類名】 特許願

【整理番号】 99J03765

【提出日】 平成12年 3月31日

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 H01L 23/02

【発明の名称】 半導体装置およびその製造方法

【請求項の数】 9

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 柳川 栄治

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 中野 明彦

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 近江 俊典

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 松本 弘則

【発明者】

【住所又は居所】 東京都千代田区大手町二丁目 3 番 1 号 日本電信電話株式会社内

【氏名】 竹田 忠雄

【発明者】

【住所又は居所】 東京都千代田区大手町二丁目 3 番 1 号 日本電信電話株

式会社内

【氏名】 海野 秀之

【発明者】

【住所又は居所】 東京都千代田区大手町二丁目 3 番 1 号 日本電信電話株式会社内

【氏名】 伴 弘司

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【特許出願人】

【識別番号】 000004226

【氏名又は名称】 日本電信電話株式会社

【代理人】

【識別番号】 100080034

【弁理士】

【氏名又は名称】 原 謙三

【電話番号】 06-6351-4384

【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003082

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】

集積回路を備える半導体素子が基板に固定されてなる半導体装置において、
上記半導体素子は、平坦な状態となるように固定されていると共に、平坦な状態においてのみ、正常に動作するようになっていることを特徴とする半導体装置。

【請求項 2】

上記半導体素子が基板にフリップチップ実装されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

上記半導体素子は、少なくともその裏面の一部が加工されることによってストレスが付与されており、半導体素子が基板から取り外されたときに、上記ストレスによって該半導体素子の少なくとも一部が変形するようになっていることを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 4】

上記加工部位における半導体素子の厚さが $50\mu\text{m}$ 以下であることを特徴とする請求項 3 記載の半導体装置。

【請求項 5】

上記半導体素子は、トランジスタが密集して設けられたトランジスタ部を有しており、上記ストレスによって該トランジスタ部の少なくとも一部が凸状または凹状に変形するようになっていることを特徴とする請求項 1 ないし 4 の何れか 1 項に記載の半導体装置。

【請求項 6】

上記半導体素子は、平坦な状態においてのみ生じる平坦部位の電気特性を検知して、集積回路の動作を制御する検知手段を備えていることを特徴とする請求項 1 ないし 5 の何れか 1 項に記載の半導体装置。

【請求項 7】

集積回路を備える半導体素子を平坦な状態となるように基板に固定した後、半導体素子が基板から取り外されたときに少なくともその一部が変形するように、該半導体素子の少なくとも裏面の一部を加工することによってストレスを付与することを特徴とする半導体装置の製造方法。

【請求項 8】

上記加工を、ダイシングによる研削、サンドブラストによる研削、紙やすりによる研削、および、レーザービームの照射による研削からなる群より選ばれる少なくとも一種の手法で行うことを特徴とする請求項 7 記載の半導体装置の製造方法。

【請求項 9】

上記加工部位における半導体素子の厚さを $50\text{ }\mu\text{m}$ 以下にすることを特徴とする請求項 7 または 8 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えば、半導体素子が基板から取り外されたときに、該半導体素子に湾曲等の変形を与えることによってトランジスタや集積回路の電気特性に変化等が生じることを利用して、半導体素子の特性や回路の解析を防止することができる半導体装置、およびその製造方法に関するものである。

【0002】

【従来の技術】

従来より、トランジスタと IC（集積回路）或いは LSI（大規模集積回路）等の回路構成とを設けてなる半導体素子チップ（半導体素子、以下、単にチップと記す）は、外部環境から該チップを保護する観点や、チップの使用時におけるハンドリングを可能にする観点から、基板に固定されると共に、プラスチック製のパッケージ内等に封止され、半導体装置とされている。

【0003】

トランジスタを集積してなるチップを有する上記半導体装置の構成について、一例を挙げて以下に説明する。図 17 に示すように、該半導体装置 101 はパッ

ケージ型であり、エポキシ系樹脂からなるパッケージ108内にチップ102を封止してなっている。上記チップ102は、ガラス繊維にエポキシ系樹脂を含浸させてなるガラスエポキシ基板（以下、単に基板と記す）103上に、異方性導電性接着剤105を介して固定されている。また、チップ102の表面に形成されたパッド部107のバンプ104は、基板103上に形成された銅箔からなる配線部106に接続されている。従って、半導体装置101はフリップチップ実装型の構成を備えている。

【0004】

上記パッケージ型の半導体装置の一般的な製造方法について、以下に説明する。まず、チップ102のパッド部107の位置に合うようにして、配線部106から外部への出力配線が形成された基板103を製造する。一方、チップ102表面のパッド部107に、金からなるバンプ104を形成する。次に、上記基板103上に異方性導電性接着剤105を塗布した後、該基板103の配線部106と、チップ102のバンプ104との位置合わせを行いながら重ね合わせることで、基板103上にチップ102を載置する。その後、200℃程度に加熱しながら両者を押圧（圧着）すると、異方性導電性接着剤105の熱凝固によってチップ102が基板103上に固定される。次いで、エポキシ系樹脂によってチップ102を封止することにより、パッケージ108を形成する。

【0005】

上記チップ102の厚さは、一般的に200μm以上である。該チップ102は、通常、その電気特性が損なわれないように、基板103上に平坦な（フラットな）状態となるように固定されている。

【0006】

上記半導体装置のより具体的な製造方法として、例えば、①特開平11-238750号公報には、チップ表面のパッド部にバンプを形成する際に、パッド部を構成する金属とバンプを構成する金属との密着性を向上させるための手法を採用することにより、信頼性の高いフリップチップ実装型の半導体装置を製造する方法が開示されている。また、例えば、②特開昭64-15957号公報には、半導体パッケージにNMOS（N型金属酸化物半導体）素子のチップを封止する

際に、該チップに機械的圧力（応力）が付与されるように、チップと共に気体や液体を封止する方法が開示されており、これにより、電流値を増加させてNMO S素子の性能を向上させることができる。

【 0 0 0 7 】

尚、半導体素子に直接的に関与する技術ではないが、上記②の公報の技術に関連する技術として、例えば③特開平5-93659号公報等には、各種の抵抗素子に応力を加えることを利用したひずみセンサが開示されている。このようなひずみセンサは、ガラス層のひずみにより電気抵抗が変化することを利用するものである。

【 0 0 0 8 】

ところで、図17に示すように、上記パッケージ型の半導体装置101においては、該半導体装置101内に封止されているチップ102の集積回路が解析されるおそれがある。チップ102を解析するためには、該チップ102を観察することができるように、先ず、パッケージ108を開封する必要がある。上述したように、チップ102の表面側には、異方性導電性接着剤105を介して基板103が固定されている。また、チップ102を封止する際には、該チップ102の裏面側を覆うようにしてエポキシ系樹脂が塗布等されてパッケージ108が形成されている。従って、パッケージ108を単に開封しただけでは、チップ102の裏面側しか観察することができないので、集積回路の解析が不可能となっている。

【 0 0 0 9 】

【発明が解決しようとする課題】

ところが、上記基板103を構成するエポキシ系樹脂や異方性導電性接着剤105等は、発煙硝酸や硫酸等を用いたエッチャントで除去することが可能である。それゆえ、エッチャントにより上記エポキシ系樹脂等が剥離（除去）されてしまえば、チップ102が単体として得られることになり、表面側から観察することは勿論のこと、チップ102にプローブを直接、接触させて電気特性を測定するといった回路の解析まで、あらゆる解析が可能になってしまう。

【 0 0 1 0 】

しかも、パッケージ 1 0 8 内において基板 1 0 3 上に平坦な状態となるように固定されているチップ 1 0 2、即ち、パッケージされているチップ 1 0 2 の厚さは $200\mu\text{m}$ 以上であるので、解析を行うために単体として取り出した場合においても、チップ 1 0 2 は平坦な状態を保持する。それゆえ、チップ 1 0 2 の集積回路は、パッケージされていたときと同等の電気特性を示して正常に動作する。

【 0 0 1 1 】

従って、上記従来の半導体装置 1 0 1 の構成やパッケージ方法では、エポキシ系樹脂等を剥離してチップ 1 0 2 を単体として取り出すことにより、集積回路等の解析を容易に行うことができるので、機密情報を保持することができないという問題点を有している。

【 0 0 1 2 】

ここで、上記①の公報では半導体装置の信頼性や性能を向上させることに関して考慮がなされており、同様に上記②の公報ではパッケージ内でチップに圧力を加えることによって性能を向上させることに関して考慮がなされている。しかしながら、これら公報においては、上述したチップの解析を阻止することに関しては何ら考慮がなされていない。それゆえ、これら公報に記載の技術では、チップを単体として取り出して集積回路等の解析を行うことは容易である。尚、上記③の公報に記載の技術は、ひずみセンサに関するものであり、技術分野が基本的に異なる上に、上述したチップの解析を阻止することに関しては開示も示唆も全くなされていない。

【 0 0 1 3 】

本発明は、上記の問題点に鑑みなされたものであり、その目的は、基板に固定されている半導体素子の集積回路が解析されることを確実に阻止することが可能な半導体装置およびその製造方法、即ち、半導体素子に関する機密情報を確実に保持することができる半導体装置およびその製造方法を提供することにある。

【 0 0 1 4 】

【課題を解決するための手段】

本発明の半導体装置は、上記の課題を解決するために、集積回路を備える半導体素子が基板に固定されてなる半導体装置において、上記半導体素子は、平坦な

状態となるように固定されていると共に、平坦な状態においてのみ、正常に動作するようになっていることを特徴としている。

【 0 0 1 5 】

上記の構成によれば、半導体素子は、平坦な状態においてのみ、正常に動作するようになっている。そのため、例えば半導体素子が基板から取り外される等して、平坦な状態が維持できなくなった場合には、該半導体素子は、その電気特性に変化（変動）等が生じて正常に動作しなくなる。それゆえ、半導体素子の集積回路が解析されることを確実に阻止することができるので、半導体素子に関する機密情報を確実に保持することができる。

【 0 0 1 6 】

本発明の半導体装置は、上記の課題を解決するために、上記の構成に加えて、上記半導体素子が基板にフリップチップ実装されていることを特徴としている。

【 0 0 1 7 】

上記の構成によれば、半導体素子の集積回路を解析するためには、半導体素子を基板から取り外さなければならない。ところが、基板から取り外されると、半導体素子は、平坦な状態を維持できなくなるので、その電気特性に変化等が生じて正常に動作しなくなる。それゆえ、半導体素子に関する機密情報を確実に保持することができる。

【 0 0 1 8 】

本発明の半導体装置は、上記の課題を解決するために、上記の構成に加えて、上記半導体素子は、少なくともその裏面の一部が加工されることによってストレスが付与されており、半導体素子が基板から取り外されたときに、上記ストレスによって該半導体素子の少なくとも一部が変形するようになっていることを特徴としている。

【 0 0 1 9 】

上記の構成によれば、半導体素子は、基板から取り外されたときに、ストレスによってその少なくとも一部が変形するようになっている。それゆえ、電気特性に変化等が生じるので、機密情報をより確実に保持することができる。

【 0 0 2 0 】

本発明の半導体装置は、上記の課題を解決するために、上記の構成に加えて、上記加工部位における半導体素子の厚さが $50\mu\text{m}$ 以下であることを特徴としている。

【0021】

上記の構成によれば、一般的に $200\mu\text{m}$ 以上の厚さを有する半導体素子は、基板から取り外されたときに、薄層化された加工部位がストレスによってより一層変形し易くなっている。それゆえ、機密情報をより一層確実に保持することができる。

【0022】

本発明の半導体装置は、上記の課題を解決するために、上記の構成に加えて、上記半導体素子は、トランジスタが密集して設けられたトランジスタ部を有しており、上記ストレスによって該トランジスタ部の少なくとも一部が凸状または凹状に変形するようになっていることを特徴としている。

【0023】

上記の構成によれば、半導体素子は、基板から取り外されたときに、ストレスによってトランジスタ部の少なくとも一部が凸状または凹状に変形するようになっている。それゆえ、電気特性に変化等が生じるので、機密情報をより確実に保持することができる。

【0024】

本発明の半導体装置は、上記の課題を解決するために、上記の構成に加えて、上記半導体素子は、平坦な状態においてのみ生じる平坦部位の電気特性を検知して、集積回路の動作を制御する検知手段を備えていることを特徴としている。

【0025】

上記の構成によれば、半導体素子は、基板から取り外されて平坦な状態が維持できなくなると、その電気特性に変化等が生じる。従って、検知手段が電気特性の変化を検知することにより、集積回路の動作を制御しなくなるので、該半導体素子は、正常に動作しなくなる。それゆえ、半導体素子の集積回路が解析されることをより一層確実に阻止することができるので、機密情報をより一層確実に保持することができる。

【 0 0 2 6 】

本発明の半導体装置の製造方法は、上記の課題を解決するために、集積回路を備える半導体素子を平坦な状態となるように基板に固定した後、半導体素子が基板から取り外されたときに少なくともその一部が変形するように、該半導体素子の少なくとも裏面の一部を加工することによってストレスを付与することを特徴としている。

【 0 0 2 7 】

上記の構成によれば、半導体素子には、基板から取り外されたときに少なくともその一部が変形するように、ストレスが付与されている。そのため、半導体素子は、基板から取り外されて平坦な状態が維持できなくなると、その電気特性に変化等が生じて正常に動作しなくなる。それゆえ、半導体素子の集積回路が解析されることを確実に阻止することができるので、半導体素子に関する機密情報を確実に保持することができる半導体装置を製造することができる。

【 0 0 2 8 】

本発明の半導体装置の製造方法は、上記の課題を解決するために、上記の構成に加えて、上記加工を、ダイシングによる研削、サンドブラストによる研削、紙やすりによる研削、および、レーザービームの照射による研削からなる群より選ばれた少なくとも一種の手法で行うことを特徴としている。

【 0 0 2 9 】

上記の構成によれば、簡便な手法で以て半導体素子にストレスを付与することができる。従って、機密情報を確実に保持することができる半導体装置を容易に製造することができる。

【 0 0 3 0 】

本発明の半導体装置の製造方法は、上記の課題を解決するために、上記の構成に加えて、上記加工部位における半導体素子の厚さを $50\mu\text{m}$ 以下にすることを特徴としている。

【 0 0 3 1 】

上記の構成によれば、一般的に $200\mu\text{m}$ 以上の厚さを有する半導体素子における、薄層化された加工部位を、ストレスによってより一層変形し易くすること

ができる。それゆえ、機密情報をより確実に保持することができる半導体装置を容易に製造することができる。

【0032】

【発明の実施の形態】

本発明にかかる半導体装置は、集積回路を備える半導体素子が、例えばパッケージ内において、平坦な状態となるように基板に固定されていると共に、平坦な状態においてのみ、正常に動作するようになっている。上記半導体素子は、少なくともその裏面の一部が加工されることによってストレス（静的応力）が付与されており、半導体素子が基板から取り外されたときに、上記ストレスによって該半導体素子の少なくとも一部が変形するようになっている。従って、該半導体素子は、例えば単体として取り出されることによって平坦な状態が維持できなくなった場合には、その電気特性に変化等が生じて正常に動作しなくなる。そして、本発明にかかる半導体装置は、半導体素子が基板から取り外されたときに、該半導体素子に湾曲等の変形を与えることによってトランジスタや集積回路の電気特性に変化等が生じることを利用して、半導体素子の特性や回路の解析を防止するようになっている。本発明にかかる半導体装置は、外部回路に実装されることによって使用される。即ち、本発明は、トランジスタやIC（集積回路）、LSI（大規模集積回路）等を変形させると、その電気特性が変化する現象を、解析を防止すること等に幅広く利用することを目的とするものであり、従って下記実施の形態において述べるセンサや実装方法は、その一例に過ぎない。尚、本発明において、「半導体素子が基板から取り外された」状態とは、半導体素子の少なくとも一部が基板から剥離した状態を示す。

【0033】

【実施の形態1】

本発明の実施の一形態について図1ないし図7に基づいて説明すれば、以下の通りである。尚、本発明はこの形態に限定されるものではない。

【0034】

図1に示すように、本実施の形態にかかる半導体装置1はパッケージ型であり、例えばエポキシ系樹脂からなるパッケージ8内にシリコンからなる半導体素子

チップ（半導体素子、以下、単にチップと記す）2を封止してなっている。上記チップ2は、例えばガラス繊維にエポキシ系樹脂を含浸させてなるガラスエポキシ基板（以下、単に基板と記す）3上に、異方性導電性接着剤5を介して固定されている。また、チップ2の表面に形成されたパッド部7の bumps 4は、基板3上に形成された銅箔からなる配線部6に接続されている。従って、半導体装置1はフリップチップ実装型の構成を備えている。上記チップ2の裏面2aには、チップ2がパッケージ8から取り出されたときに、つまり、チップ2が基板3から取り外されたときに、該チップ2が変形するように、所定の加工が施されることによって、その全面にストレスが付与されている。尚、パッケージ8や基板3、異方性導電性接着剤5等の材質は、特に限定されるものではない。また、パッケージ8は必要に応じて設ければよい。即ち、半導体装置1はパッケージ型でなくともよい。さらに、半導体装置1の構成は、フリップチップ実装型でなくともよい。

【 0 0 3 5 】

上記チップ2は、図2に示すように、トランジスタが密集して設けられているトランジスタ部21と、トランジスタの電気特性を検知する検知手段が設けられているセンサー部22と、IC（集積回路）或いはLSI（大規模集積回路）等の回路構成が設けられているLSI部23とを有している。トランジスタ部21に設けられているトランジスタとしては、例えば、NMOS（N型金属酸化物半導体）型の構成を備えたトランジスタが挙げられるが、特に限定されるものではない。同様に、LSI部23に設けられている具体的な回路構成は、特に限定されるものではない。尚、センサー部22に設けられている検知手段については後述する。

【 0 0 3 6 】

本実施の形態においては、チップ2を、一般的に200 μ m以上の厚さを有する従来の半導体素子と比較して、全体的に薄層化している。それゆえ、チップ2は、基板3から取り外されたときに、加工部位である裏面2aに付与されたストレスによって、より変形し易くなっている。上記チップ2は、取り外されたときに十分な変形が生じるように所定のストレスを付与することができ、かつ、平坦

な状態のときに該チップ 2 上に設けられているトランジスタや L S I 等の機能に悪影響を及ぼさない程度の厚さに薄層化されていればよく、従って、その厚さは特に限定されるものではない。しかしながら、より具体的には、シリコンの強度から考慮して、チップ 2 の厚さは $50\ \mu\text{m}$ 以下であることがより好ましく、 $30\ \mu\text{m} \sim 50\ \mu\text{m}$ の範囲内であることがさらに好ましい。チップ 2 の薄層化が上記範囲内でなされれば、平坦な状態のときにトランジスタや L S I 等の機能に悪影響を及ぼすこと無く、かつ、基板 3 から取り外されたときにチップ 2 に湾曲等の変形を確実に生じさせることができる。

【 0 0 3 7 】

上記チップ 2 におけるセンサー部 2 2 は、少なくともトランジスタ部 2 1 と L S I 部 2 3 との間に配置されている。この理由は、後述するように、センサー部 2 2 に設けられている検知手段が、トランジスタと L S I とを電氣的に接続するように設けられているためである。上記検知手段は、トランジスタ部 2 1 が平坦な状態においてのみ生じるトランジスタの特性、即ち、平坦部位の電気特性を検知して、L S I 部 2 3 の L S I の動作を制御する一方、トランジスタ部 2 1 が変形する（平坦な状態でなくなる）と、その電気特性の変化（変動）を検知して、L S I 部 2 3 の L S I の動作を制御しなくなる機能を有している。尚、センサー部 2 2 の配設位置は、トランジスタ部 2 1 と L S I 部 2 3 との間に限定されるものではなく、トランジスタ部 2 1 と L S I 部 2 3 を電氣的に接続することができる配設位置であればよい。従って、トランジスタ部 2 1、センサー部 2 2 および L S I 部 2 3 の位置関係は、特に限定されるものではない。

【 0 0 3 8 】

上記トランジスタ部 2 1 が変形した場合に生ずるトランジスタの特性の変動について説明する。例えば、トランジスタが N M O S 型トランジスタであるとして、電流が流れる方向に対して垂直、かつチップ 2 表面に対して垂直に、凸状に湾曲変形させるような応力（外力）をトランジスタ部 2 1 に加えんとする。このとき、湾曲面の半径を r とすると、 $r = 10\ \text{mm}$ となるようにトランジスタ部 2 1 を湾曲させた状態で動作させれば、チャネル電流が 10 % 増加する。本実施の形態においては、トランジスタ部 2 1 の湾曲変形に伴って生じるトランジスタの上

記電流値の変動を検知手段で検知して、LSIの動作の制御に利用する。

【0039】

上記検知手段としては、例えばオペアンプ等のアナログ回路が挙げられる。このオペアンプは、トランジスタ部21が平坦な状態から変形した場合に生じるトランジスタの特性の変動を検知するようになっている。該オペアンプとしては、具体的には、例えば、図3に示すように、抵抗器RとコンパレータC_pとを備えた構成の変形センサー25が挙げられる。検知手段としての変形センサー25の構成の一例について、以下に説明する。

【0040】

変形センサー25における抵抗器Rの一端はトランジスタ24に接続されており、他端はアース（接地）されている。コンパレータC_pは、2つの入力端子と1つの出力端子とを有している。入力端子の一方は抵抗器Rとトランジスタ24とを接続する配線に接続されており、入力端子の他方には所定電圧V₂が予め印加されている。また、出力端子は、LSI部23（図2）のLSI26に接続されている。上記所定電圧V₂は、トランジスタ部21（図2）が平坦な状態である場合においてトランジスタ24に駆動電圧が印加されることによって発生する特性電圧V₁よりも高いか等しく、かつ、トランジスタ部21が凸状に湾曲変形した場合において発生する特性電圧V₁よりも低くなるように、その電圧が所定の値に設定されている。

【0041】

さらに、上記LSI26には、コンパレータC_pからの信号を受信しないと動作しないように、該LSI26の動作を阻止する動作阻止回路（図示せず）が設けられている。これにより、LSI26は、コンパレータC_pからの信号が無ければ動作しないようになっている。即ち、この動作阻止回路は、LSI26のみに対して回路解析のためにプロービングが実施された場合においても、該LSI26が動作しないように阻止する機能を有している。動作阻止回路は、上記機能を有する構成となっていればよく、特に限定されるものではないが、例えばレジスタ等が好適である。或いは、動作阻止回路の構成として、変形センサー25の電源およびアースを、LSI26と共通のパッドから採る構成とすることも

できる。

【 0 0 4 2 】

上記の構成において、トランジスタ 2 4 に駆動電圧が印加されると、該トランジスタ 2 4 に接続されている抵抗器 R と、トランジスタ 2 4 に生じる特性電流値 I_d との関係によって、上記特性電圧 V_1 が発生する。この特性電圧 V_1 は、コンパレータ C p の一方の入力端子に印加される。該コンパレータ C p は、上記特性電圧 V_1 と、他方の入力端子に予め印加されている所定電圧 V_2 とを比較して、何れの電圧が高いかを判定し、特性電圧 V_1 の方が低ければ（等しい場合も含む）Low 信号を、高ければHi信号を出力端子から L S I 2 6 へ出力する。そして、L S I 2 6 は、この変形センサー 2 5 からのLow 信号またはHi信号に基づいて、その動作が制御され、Low 信号を受信した場合にのみ、動作するようになっている。

【 0 0 4 3 】

上記 L S I 2 6 の動作の制御について、以下に説明する。チップ 2 のトランジスタ部 2 1 が平坦な状態となるように基板 3 に固定されパッケージされている場合（通常の状態）においては、トランジスタ 2 4 の特性は正常であり、所定電圧 V_2 よりも特性電圧 V_1 の方が低いか等しい（ $V_1 \leq V_2$ ）。従って、コンパレータ C p は、Low 信号を L S I 2 6 へ出力する。これにより、L S I 2 6 は正常に動作する。

【 0 0 4 4 】

一方、パッケージ 8 が除去されてチップ 2 が基板 3 から取り外され、該チップ 2 のトランジスタ部 2 1 がストレスにより凸状に湾曲変形している場合においては、トランジスタ 2 4 の特性が変動して、上述したようにトランジスタ 2 4 に生じる特性電流値 I_d が増加するので、所定電圧 V_2 よりも特性電圧 V_1 の方が高くなる（ $V_1 > V_2$ ）。従って、コンパレータ C p は、Hi信号を L S I 2 6 へ出力する。これにより、動作阻止回路の働きによって L S I 2 6 は動作しなくなる。また、この状態で L S I 2 6 に対してプロービングを実施し、トランジスタ 2 4 に駆動電圧を印加しても、回路の解析は不可能である。

【 0 0 4 5 】

尚、変形センサー 25 は、上記例示の構成にのみ限定されるものではなく、トランジスタ部 21 が平坦な状態から変形した状態に変化することによって生じる、トランジスタ 24 の特性電流値 I_d の変動を検知することができる構成となっていればよい。具体的には、例えば、変形センサーは、或る特定の値若しくは範囲の特性電流値を検知した場合に L S I を正常に動作させる信号を該 L S I へ出力する一方、それ以外の値若しくは範囲の特性電流値を検知した場合または特性電流値が検知できない場合に、L S I が動作しないように阻止する信号（動作阻止信号）を該 L S I へ出力するか、または、L S I を正常に動作させる信号を出力しない構成となってもよい。さらに、変形センサーは、チップにおける上記トランジスタ部以外に、該チップがストレスにより変形することによって電気特性に変動が生じる部位があれば、その部位の電気特性の変動を検知して、L S I が動作しないように阻止する信号を該 L S I へ出力する構成となってもよい。従って、上記の部位がある場合には、チップにおける、ストレスにより変形する部位（電気特性が変動する部位）は、上記トランジスタ部に限定されるものではなく、また、変形センサー（検知手段）の配設位置も、センサー部に限定されるものではない。

【 0 0 4 6 】

さらに、NMOS 型の構成を備えたトランジスタを用いる代わりに、PMOS（P 型金属酸化物半導体）型の構成を備えたトランジスタを用いることもできる。PMOS 型の構成を備えたトランジスタを用いた場合においては、特性電流値 I_d の変動が逆になるので、例えばコンパレータ C p の判定基準を逆に設定することにより、NMOS 型の構成を備えたトランジスタを用いた場合と同様の効果を得ることができる。トランジスタが PMOS 型トランジスタであるとして、電流が流れる方向に対して垂直、かつチップ 2 表面に対して垂直に、凸状に湾曲変形させるような応力（外力）をトランジスタ部 21 に加えた場合には、例えば、湾曲面の半径を r とすると、 $r = 10 \text{ mm}$ となるようにトランジスタ部 21 を湾曲させた状態で動作させれば、チャネル電流が 10 % 減少する。

【 0 0 4 7 】

上記構成の半導体装置 1 の製造方法の一例を、図 4 ないし図 7 を参照しながら

、以下に説明する。尚、以下の説明においては、チップ2の裏面2 aの全面を、ダイシングによる研削で以て加工する場合を例に挙げることにする。

【0048】

先ず、厚さが200 μ m以上のチップ2の表面に形成されたパッド部7の位置に合うようにして、配線部6から外部への出力配線が形成された基板3を製造する。一方、チップ2表面のパッド部7に、金からなるバンプ4を形成する。

【0049】

次に、図4に示すように、上記基板3上に異方性導電性接着剤5を塗布した後、該基板3の配線部6と、チップ2のバンプ4との位置合わせを行いながら重ね合わせるにより、基板3上にチップ2を載置する。その後、200℃程度に加熱しながら両者を押圧（圧着）することにより、異方性導電性接着剤5の熱凝固によってチップ2を基板3上に固定する。即ち、チップ2を平坦な状態となるように基板3にフリップチップ実装する。

【0050】

その後、チップ2が固定された基板3を、ダイシングマシンの所定位置に装着する。そして、図5および図6に示すように、上記チップ2の裏面2 aを、ダイシングマシンに装着されたダイシングブレード9を用いて、チップ2の厚さが例えば50 μ m以下、より好ましくは30 μ m～50 μ mの範囲内となるように研削する。ダイシングブレード9による研削は、裏面2 aに対して或る一定の方向（図5では紙面に垂直な方向）、つまり、ストレスによる変形が生じ易いように、一方向に行うことが好ましい。研削条件は、特に限定されるものではないが、ダイシングのステップ（研削によって生じる溝の間隔）が短い方が、チップ2にストレスを付与し易いので、より好ましい。また、必要に応じて、ダイシングブレード9による研削に先立ち、一般的な研磨等の手法を採用することによって、チップ2全体の厚さを或る程度薄く（例えば50 μ m程度に）しておいてもよい。上記研削加工により、即ち、裏面2 aの全面を粗面加工することにより、チップ2全体に所定のストレスを付与することができる。尚、チップ2は、フリップチップ実装された後に研削されるので、薄層化されてストレスが付与された後でも平坦な状態を維持している。また、上記研削加工は、チップ2のトランジスタ

24やLSI26等のデバイスに悪影響を及ぼすことが無い（このことは実験等を実施することによって確認している）。

【0051】

チップ2において薄層化される部位は、特に限定されるものではなく、例えば上記のようにチップ2全体であってもよく、また、例えばトランジスタ部21のみであってもよい。但し、本実施の形態にかかるチップ2は、上述したように、トランジスタ24の電気特性を変形センサー（検知手段）25で検知するようになっているので、少なくともトランジスタ部21がストレスによって変形するように薄層化されていることが好ましい。

【0052】

次いで、図7に示すように、所定の金型を用い、必要に応じて、エポキシ系樹脂によってチップ2を封止することにより、パッケージ8を形成する。これにより、半導体装置1が製造される。

【0053】

チップ2は、その裏面2aが粗面加工されているので、基板3から取り外され、ストレスによって一旦変形すると、例えば平坦な台を用いて真空吸着等の手法を採用しても、完全に平坦な状態に戻ることは無い。つまり、一旦変形したチップ2を完全に平坦な状態に戻すことは不可能であり、また、変形した状態でLSI26等の回路の解析を行うことも不可能である。

【0054】

チップ2の裏面2aを加工する方法は、ダイシングによる研削にのみ限定されるものではない。該加工方法としては、例えば、サンドブラストによる研削や紙やすり（サンドペーパー）による研削等の物理的な研削、或いは、レーザービームの照射による研削等の各種手法を採用することができる。ダイシングによる研削以外の幾つかの手法について、以下に説明する。

【0055】

例えば、レーザービームの照射による研削によってチップ2の裏面2aを加工する場合には、該研削に先立ち、一般的な研磨等の手法を採用することによって、チップ2の厚さを或る程度薄く（例えば50 μ m程度に）しておく。次に、チ

チップ 2 が固定された基板 3 を、レーザーマーカ装置（レーザービーム照射装置）の所定位置に装着する。上記レーザービームとしては、集束されたエネルギービームである集光性レーザービームが好適であり、具体的には、例えば、YAG（イットリウム・アルミニウム・ガーネット）を固体レーザーの媒質として用いたレーザー光源から出射される集光性レーザービームが挙げられる。そして、上記チップ 2 の裏面 2 a を、例えば第 2 高調波が 532 nm であるレーザービームを照射することによって、チップ 2 の厚さが例えば 50 μ m 以下、より好ましくは 30 μ m ~ 50 μ m の範囲内となるように研削する。上記研削加工により、裏面 2 a に無数の微細な窪み、つまり凹凸が形成されるので、チップ 2 に所定のストレスを付与することができる。レーザービームの波長や研削条件（照射条件）は、特に限定されるものではない。上記波長のレーザービームは、チップ 2 のトランジスタ 24 や LSI 26 等のデバイスに悪影響を及ぼすことが無い（このことは実験等を実施することによって確認している）。

【 0 0 5 6 】

また、例えば、サンドブラストによる研削によってチップ 2 の裏面 2 a を加工する場合には、該研削に先立ち、上記と同様にして、チップ 2 の厚さを或る程度薄くしておく。次に、チップ 2 が固定された基板 3 を、サンドブラスト加工装置の所定位置に装着する。そして、上記チップ 2 の裏面 2 a を、例えば # 1 0 0 0（約 15 μ m）の大きさの炭酸カルシウム粒子をサンドブラスト粒子（砥粒）として用いて、チップ 2 の厚さが例えば 50 μ m 以下、より好ましくは 30 μ m ~ 50 μ m の範囲内となるように研削する。上記研削加工により、裏面 2 a に無数の微細な窪み、つまり凹凸が形成されるので、チップ 2 に所定のストレスを付与することができる。サンドブラスト粒子の種類や研削条件は、特に限定されるものではない。上記炭酸カルシウム粒子は、チップ 2 のトランジスタ 24 や LSI 26 等のデバイスに悪影響を及ぼすことが無い（このことは実験等を実施することによって確認している）。

【 0 0 5 7 】

また、例えば、紙やすりによる手動の研削によってチップ 2 の裏面 2 a を加工する場合には、該研削に先立ち、上記と同様にして、チップ 2 の厚さを或る程度

薄くしておく。次に、チップ 2 の裏面 2 a を紙やすりを用いて、チップ 2 の厚さが例えば $50\ \mu\text{m}$ 以下、より好ましくは $30\ \mu\text{m} \sim 50\ \mu\text{m}$ の範囲内となるように研削する。上記研削加工により、裏面 2 a に無数の微細な研削傷、つまり凹凸が形成されるので、チップ 2 に所定のストレスを付与することができる。研削条件は、特に限定されるものではないが、比較的粒度の粗い紙やすりを用いる方が、チップ 2 にストレスを付与し易いので、より好ましい。上記紙やすりは、チップ 2 のトランジスタ 2 4 や L S I 2 6 等のデバイスに悪影響を及ぼすことが無い（このことは実験等を実施することによって確認している）。尚、紙やすりによる研削は、手作業で行うため、慎重を期する必要性があるものの、最も簡便な加工方法である。

【 0 0 5 8 】

〔実施の形態 2〕

本発明の実施の他の形態について図 8 ないし図 9 に基づいて説明すれば、以下の通りである。尚、説明の便宜上、前記実施の形態 1 の図面に示した部材（構成）と同一の機能を有する部材（構成）には、同一の符号を付記し、その説明を省略する。

【 0 0 5 9 】

図 8 に示すように、本実施の形態にかかる半導体装置 1 1 は、裏面の全面に加工が施されたチップ（前記実施の形態 1 のチップ 2）に代えて、裏面 1 2 a の一部に加工が施されたチップ 1 2 を有している。即ち、図 9 に示すように、チップ 1 2 は、トランジスタ部 2 1 が形成されている部位の裏面 1 2 a にのみ、加工が施されている。そして、チップ 1 2 の薄層化は、トランジスタ部 2 1 が形成されている部位のみがなされており、その他の部位はなされていない。このため、チップ 1 2 は、トランジスタ部 2 1 の厚さが例えば $50\ \mu\text{m}$ 以下であり、センサー部 2 2 および L S I 部 2 3 の厚さが例えば $200\ \mu\text{m}$ 以上である。従って、チップ 1 2 には、トランジスタ部 2 1 が形成されている部位にのみ、ストレスが付与されていることになり、該チップ 1 2 は、基板 3 から取り外されたときに、トランジスタ部 2 1 が形成されている部位のみがストレスによって変形するようになっている。半導体装置 1 1 におけるその他の構成部材は、前記実施の形態 1 の半

導体装置 1 と同一である。

【0060】

上記の構成によれば、チップ 12 は、その裏面 12a の一部が粗面加工されているので、基板 3 から取り外され、ストレスによって一旦変形すると、例えば平坦な台を用いて真空吸着等の手法を採用しても、チップ 12 の厚さが均一ではないので、完全に平坦な状態に戻ることは無い。つまり、一旦変形したチップ 12 を完全に平坦な状態に戻すことは不可能であり、また、変形した状態で LSI 26 等の回路の解析を行うことも不可能である。即ち、裏面の全面に加工が施されたチップでは、その厚さが均一であり全体が一様に湾曲変形するので、何らかの手法を採用することによって、完全に平坦な状態に戻されてしまう可能性が考えられるが、上記の構成のチップ 12 では、その厚さが均一ではないので、上記可能性は殆ど考えられない。

【0061】

つまり、本実施の形態において、チップ 12 は、少なくともその裏面 12a の一部が加工されることによってストレスが付与されていけばよい。従って、上記加工を、例えば、ダイシングによる研削、サンドブラストによる研削、紙やすりによる研削、および、レーザービームの照射による研削からなる群より選ばれる少なくとも一種の手法で行う場合には、チップ 12 の裏面 12a の少なくとも一部に対して該手法を実施すればよい。また、チップ 12 は、基板 3 から取り外されたときに、上記ストレスによって少なくともその一部が変形するように、より好ましくはトランジスタ部 21 の少なくとも一部が凸状または凹状に変形するようになっていけばよい。

【0062】

本実施の形態 1・2 にかかる半導体装置 1 (11) は、以上のように、チップ 2 (12) が平坦な状態となるように基板 3 に固定 (例えば、フリップチップ実装) されていると共に、平坦な状態においてのみ、正常に動作するようになっている構成である。

【0063】

これにより、基板 3 から取り外すことによって変形した場合には、チップ 2 (

12) は、例えばトランジスタ部21等の電気特性に変化(変動)等が生じて正常に動作しなくなる。それゆえ、チップ2(12)の集積回路が解析されることを確実に阻止することができるので、チップ2(12)に関する機密情報を確実に保持することができる。

【0064】

ところで、半導体装置の構成がフリップチップ実装型でない場合においては、例えば、半導体素子チップ(半導体素子)の周囲を全て(基板を含めて)、同一の材質で覆うようにすればよい。または、半導体素子チップの表面側を覆う材質よりもエッチャントに対するレートが高い材質を用いて、該半導体素子チップの裏面側を覆うようにすればよい。これにより、エッチングによって半導体素子チップの表面側を開封しようとしても、該半導体素子チップの裏面側への回り込みが生じてしまうので、半導体素子チップを取り外そうとしたときに、該半導体素子チップを変形させることができる。

【0065】

〔実施の形態3〕

本発明の実施のさらに他の形態について図10ないし図16に基づいて説明すれば、以下の通りである。尚、説明の便宜上、前記実施の形態1の図面に示した部材(構成)と同一の機能を有する部材(構成)には、同一の符号を付記し、その説明を省略する。

【0066】

図10に示すように、本実施の形態にかかる半導体装置30はパッケージ型であり、例えばエポキシ系樹脂からなるパッケージ37内にシリコンからなる半導体素子チップ(半導体素子、以下、単にチップと記す)31を封止してなっている。上記チップ31は、ダイパッド(基板)32上に銀ペースト33を介して固定されている。また、チップ31の表面に形成されたパッド部35は、金線34を介してリード線36に電氣的に接続されている。従って、半導体装置30はワイヤーボンディング型の構成を備えている。上記チップ31の裏面31aには、チップ31がパッケージ37から取り出されたときに、つまり、チップ31がダイパッド32から取り外されたときに、該チップ31が変形するように、所定の

加工が施されることによって、その一部にストレスが付与されている。尚、パッケージ 3 7 やダイパッド 3 2 等の材質は、特に限定されるものではない。

【 0 0 6 7 】

上記チップ 3 1 は、前記実施の形態 1 におけるチップ 2 と同様に、トランジスタが密集して設けられているトランジスタ部と、トランジスタの電気特性を検知する、コンパレータ等を備えた検知手段が設けられているセンサー部と、I C 或いは L S I 等の回路構成が設けられている L S I 部とを有している。本実施の形態においては、チップ 3 1 は 2 0 0 μ m 以上の厚さを有する一方、その一部が 5 0 μ m 以下、より好ましくは 3 0 μ m ~ 5 0 μ m の範囲内に薄層化されている。それゆえ、該チップ 3 1 は、ダイパッド 3 2 から取り外されたときに、加工部位である裏面 3 1 a の一部に付与されたストレスによって、変形し易くなっている。

【 0 0 6 8 】

上記構成の半導体装置 3 0 の製造方法の一例を、図 1 1 ないし図 1 4 を参照しながら、以下に説明する。尚、以下の説明においては、チップ 3 1 の裏面 3 1 a の一部を、ダイシングによる研削で以て加工する場合を例に挙げることにする。

【 0 0 6 9 】

先ず、載置するチップ 3 1 の位置に合うようにして、ダイパッド 3 2 およびリード線 3 6 を備えたリードフレーム 3 8 を製造する。ダイパッド 3 2 は、後の工程でチップ 3 1 の裏面 3 1 a の少なくとも一部に加工を施すことができるように、その一部が省略された、いわゆる中抜き状態に形成されている。つまり、ダイパッド 3 2 は、中抜き部 3 2 a を有している。

【 0 0 7 0 】

次に、図 1 2 に示すように、ダイパッド 3 2 上に銀ペースト 3 3 を塗布した後、該ダイパッド 3 2 上にチップ 3 1 を位置合わせを行いながら載置する。その後、1 6 0 $^{\circ}$ C ~ 1 7 0 $^{\circ}$ C 程度に加熱しながら両者を押圧（圧着）することにより、銀ペースト 3 3 の熱凝固によってチップ 3 1 をダイパッド 3 2 上に固定する。次いで、チップ 3 1 のパッド部 3 5 とリード線 3 6 とを金線 3 4 を用いて電氣的に接続（ワイヤーボンディング）する。その後、所定の金型を用い、ダイパッド 3

2の中抜き部32a以外の部分、つまり、チップ31における、加工を施すべき裏面31aの一部を除いた残りの部分を、エポキシ系樹脂によって封止することにより、パッケージ37の一部を形成する。

【0071】

その後、上記固定・封止がなされたチップ31を、ダイシングマシンの所定位置に装着する。そして、図13に示すように、上記チップ31の裏面31aを、ダイシングマシンに装着されたダイシングブレードを用いて、チップ31の厚さが例えば50 μ m以下、より好ましくは30 μ m～50 μ mの範囲内となるように研削する。研削条件は、特に限定されるものではない。これにより、チップ31の一部に所定のストレスを付与することができる。尚、チップ31は、エポキシ系樹脂によって封止された後に研削されるので、薄層化されてストレスが付与された後でも平坦な状態を維持している。また、チップ31の裏面31aを加工する方法は、ダイシングによる研削にのみ限定されるものではない。

【0072】

チップ31において薄層化される部位は、特に限定されるものではないが、トランジスタの電気特性を変形センサー（検知手段）で検知することができるよう、少なくともトランジスタ部がストレスによって変形するように薄層化されていることが好ましい。

【0073】

次いで、図14に示すように、所定の金型を用い、エポキシ系樹脂によって上記加工が施されたチップ31の裏面31aを封止することにより、パッケージ37を完成する。これにより、半導体装置30が製造される。

【0074】

チップ31は、その裏面31aが粗面加工されているので、ダイパッド32から取り外され、ストレスによって一旦変形すると、例えば平坦な台を用いて真空吸着等の手法を採用しても、完全に平坦な状態に戻ることは無い。つまり、一旦変形したチップ31を完全に平坦な状態に戻すことは不可能であり、また、変形した状態でLSI等の回路の解析を行うことも不可能である。

【0075】

即ち、パッケージ 3 7 が除去されてチップ 3 1 がダイパッド 3 2 から取り外され、該チップ 3 1 のトランジスタ部がストレスにより例えば凸状に湾曲変形している場合においては、トランジスタ部のトランジスタ 2 4 の特性が変動して、該トランジスタ 2 4 に生じる特性電流値 I_d が増加するので、所定電圧 V_2 よりも特性電圧 V_1 の方が高くなる ($V_1 > V_2$)。従って、センサー部のコンパレータ C p は、Hi 信号を L S I 部の L S I 2 6 へ出力する。これにより、動作阻止回路の働きによって L S I 2 6 は動作しなくなる。また、この状態で L S I 2 6 に対してプロービングを実施し、トランジスタ 2 4 に駆動電圧を印加しても、回路の解析は不可能である。

【 0 0 7 6 】

尚、図 1 5 および図 1 6 に示すように、いわゆる中抜き状態に形成されていないダイパッド 4 2 が用いられている従来の半導体装置においては、チップ 3 1 を固定した後、該チップ 3 1 の裏面に加工を施すことができない。これに対し、本実施の形態にかかる半導体装置 3 0 は、チップ 3 1 を固定するダイパッド 3 2 が中抜き部 3 2 a を有しているので、チップ 3 1 を固定した後、該チップ 3 1 の裏面 3 1 a に加工を施すことができるようになっている。

【 0 0 7 7 】

【発明の効果】

本発明の半導体装置は、以上のように、半導体素子は、平坦な状態となるように固定されていると共に、平坦な状態においてのみ、正常に動作するようになっている構成である。

【 0 0 7 8 】

これにより、平坦な状態が維持できなくなった場合には、半導体素子は、その電気特性に変化（変動）等が生じて正常に動作しなくなる。それゆえ、半導体素子の集積回路が解析されることを確実に阻止することができるので、半導体素子に関する機密情報を確実に保持することができるという効果を奏する。

【 0 0 7 9 】

本発明の半導体装置は、以上のように、上記の構成に加えて、上記半導体素子が基板にフリップチップ実装されている構成である。これにより、集積回路を解

析するために半導体素子を基板から取り外すと、半導体素子は、平坦な状態を維持できなくなるので、半導体素子に関する機密情報を確実に保持することができるという効果を奏する。

【 0 0 8 0 】

本発明の半導体装置は、以上のように、上記の構成に加えて、上記半導体素子は、少なくともその裏面の一部が加工されることによってストレスが付与されており、半導体素子が基板から取り外されたときに、上記ストレスによって該半導体素子の少なくとも一部が変形するようになっている構成である。これにより、電気特性に変化等が生じるので、機密情報をより確実に保持することができるという効果を奏する。

【 0 0 8 1 】

本発明の半導体装置は、以上のように、上記の構成に加えて、上記加工部位における半導体素子の厚さが $50\ \mu\text{m}$ 以下である構成である。これにより、より一層変形し易くなっているので、機密情報をより一層確実に保持することができるという効果を奏する。

【 0 0 8 2 】

本発明の半導体装置は、以上のように、上記の構成に加えて、上記半導体素子は、トランジスタが密集して設けられたトランジスタ部を有しており、上記ストレスによって該トランジスタ部の少なくとも一部が凸状または凹状に変形する構成である。これにより、電気特性に変化等が生じるので、機密情報をより確実に保持することができるという効果を奏する。

【 0 0 8 3 】

本発明の半導体装置は、以上のように、上記の構成に加えて、上記半導体素子は、平坦な状態においてのみ生じる平坦部位の電気特性を検知して、集積回路の動作を制御する検知手段を備えている構成である。これにより、半導体素子の集積回路が解析されることをより一層確実に阻止することができるので、機密情報をより一層確実に保持することができるという効果を奏する。

【 0 0 8 4 】

本発明の半導体装置の製造方法は、以上のように、集積回路を備える半導体素

子を平坦な状態となるように基板に固定した後、半導体素子が基板から取り外されたときに少なくともその一部が変形するように、該半導体素子の少なくとも裏面の一部を加工することによってストレスを付与する構成である。

【 0 0 8 5 】

これにより、半導体素子は、基板から取り外されて平坦な状態が維持できなくなると、その電気特性に変化等が生じて正常に動作しなくなる。それゆえ、半導体素子の集積回路が解析されることを確実に阻止することができるので、半導体素子に関する機密情報を確実に保持することができる半導体装置を製造することができるという効果を奏する。

【 0 0 8 6 】

本発明の半導体装置の製造方法は、以上のように、上記の構成に加えて、上記加工を、ダイシングによる研削、サンドブラストによる研削、紙やすりによる研削、および、レーザービームの照射による研削からなる群より選ばれる少なくとも一種の手法で行う構成である。これにより、機密情報を確実に保持することができる半導体装置を容易に製造することができるという効果を奏する。

【 0 0 8 7 】

本発明の半導体装置の製造方法は、以上のように、上記の構成に加えて、上記加工部位における半導体素子の厚さを $50\mu\text{m}$ 以下にする構成である。これにより、より一層変形し易くすることができるので、機密情報をより確実に保持することができる半導体装置を容易に製造することができるという効果を奏する。

【図面の簡単な説明】

【図 1】

本発明の実施の一形態にかかる半導体装置の概略の構成、および、該半導体装置が有する半導体素子チップが取り外されて変形した状態を示す断面図である。

【図 2】

上記半導体素子チップの概略の構成を示す平面図である。

【図 3】

上記半導体素子チップのセンサー部に設けられている変形センサーの構成の一例を示す回路図である。

【図 4】

上記半導体装置の製造工程の一例を説明するものであり、半導体素子チップが基板に固定された状態を示す断面図である。

【図 5】

上記半導体装置の製造工程の一例を説明するものであり、半導体素子チップの裏面を加工している状態を示す断面図である。

【図 6】

上記半導体装置の製造工程の一例を説明するものであり、半導体素子チップの裏面が加工された状態を示す断面図である。

【図 7】

上記半導体装置の製造工程の一例を説明するものであり、パッケージが形成された状態を示す断面図である。

【図 8】

本発明の実施の他の形態にかかる半導体装置の概略の構成、および、該半導体装置が有する半導体素子チップが取り外されて変形した状態を示す断面図である。

【図 9】

図 8 の半導体素子チップの概略の構成、および、該半導体素子チップが変形した状態を示す断面図である。

【図 1 0】

本発明の実施のさらに他の形態にかかる半導体装置の概略の構成、および、該半導体装置が有する半導体素子チップが取り外されて変形した状態を示す断面図である。

【図 1 1】

図 1 0 の半導体装置のリードフレームの概略の構成を示す平面図である。

【図 1 2】

図 1 0 の半導体装置の製造工程の一例を説明するものであり、半導体素子チップがダイパッドに固定された状態を示す断面図である。

【図 1 3】

図 1 0 の半導体装置の製造工程の一例を説明するものであり、半導体素子チップの裏面が加工された状態を示す断面図である。

【図 1 4】

図 1 0 の半導体装置の製造工程の一例を説明するものであり、パッケージが形成された状態を示す断面図である。

【図 1 5】

従来のワイヤーボンディング型の半導体装置の概略の構成を示す断面図である。

【図 1 6】

上記従来の半導体装置のリードフレームの概略の構成を示す平面図である。

【図 1 7】

従来のフリップチップ実装型の半導体装置の概略の構成を示す断面図である。

【符号の説明】

- 1 半導体装置
- 2 半導体素子チップ（半導体素子）
 - 2 a 裏面
- 3 ガラスエポキシ基板（基板）
- 5 異方性導電性接着剤
- 8 パッケージ
- 1 1 半導体装置
- 1 2 半導体素子チップ（半導体素子）
 - 1 2 a 裏面
- 2 1 トランジスタ部
- 2 2 センサー部
- 2 3 L S I 部
- 2 4 トランジスタ
- 2 5 変形センサー（検知手段）
- 2 6 L S I
- 3 0 半導体装置

3 1 半導体素子チップ (半導体素子)

3 1 a 裏面

3 2 ダイパッド (基板)

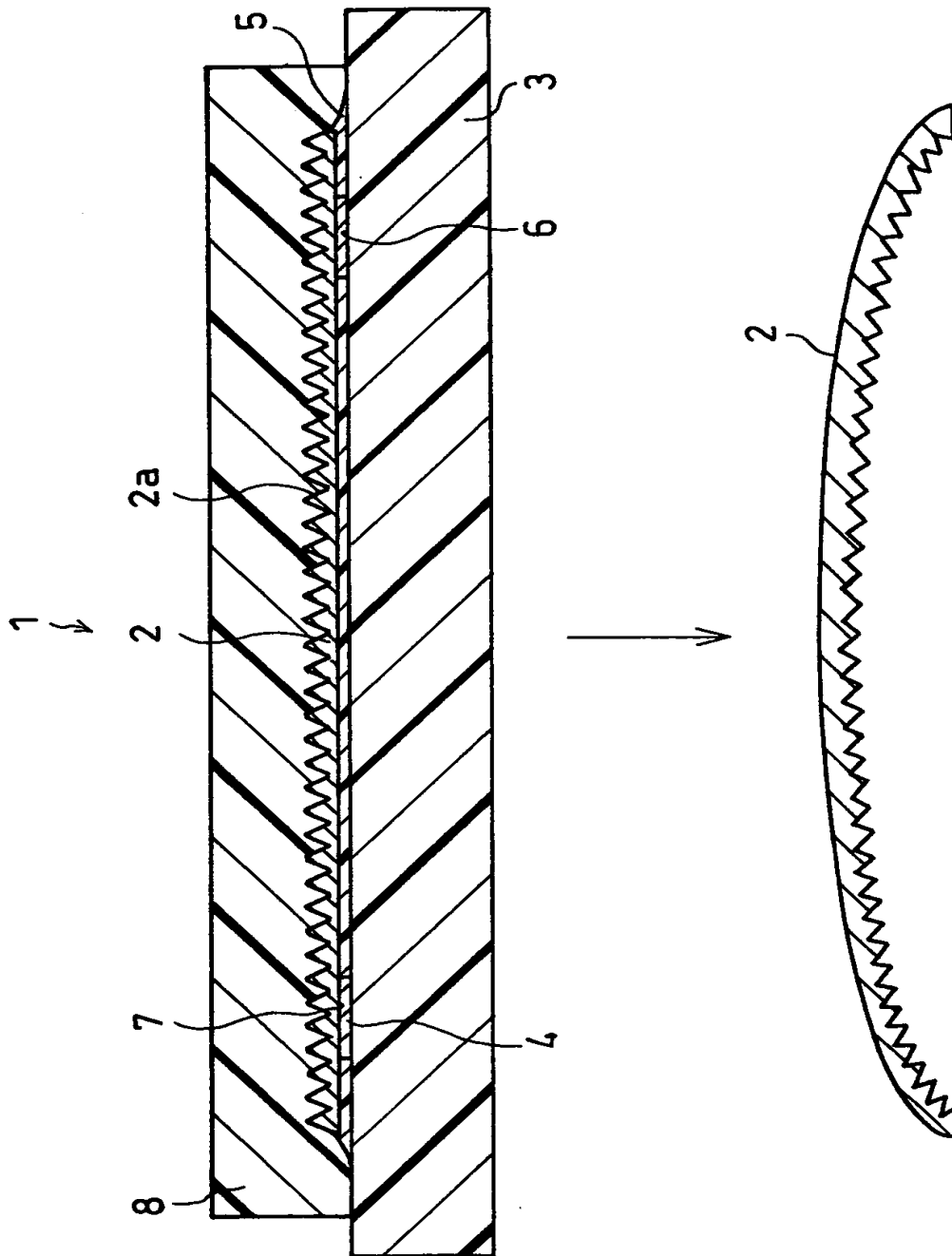
3 3 銀ペースト

3 7 パッケージ

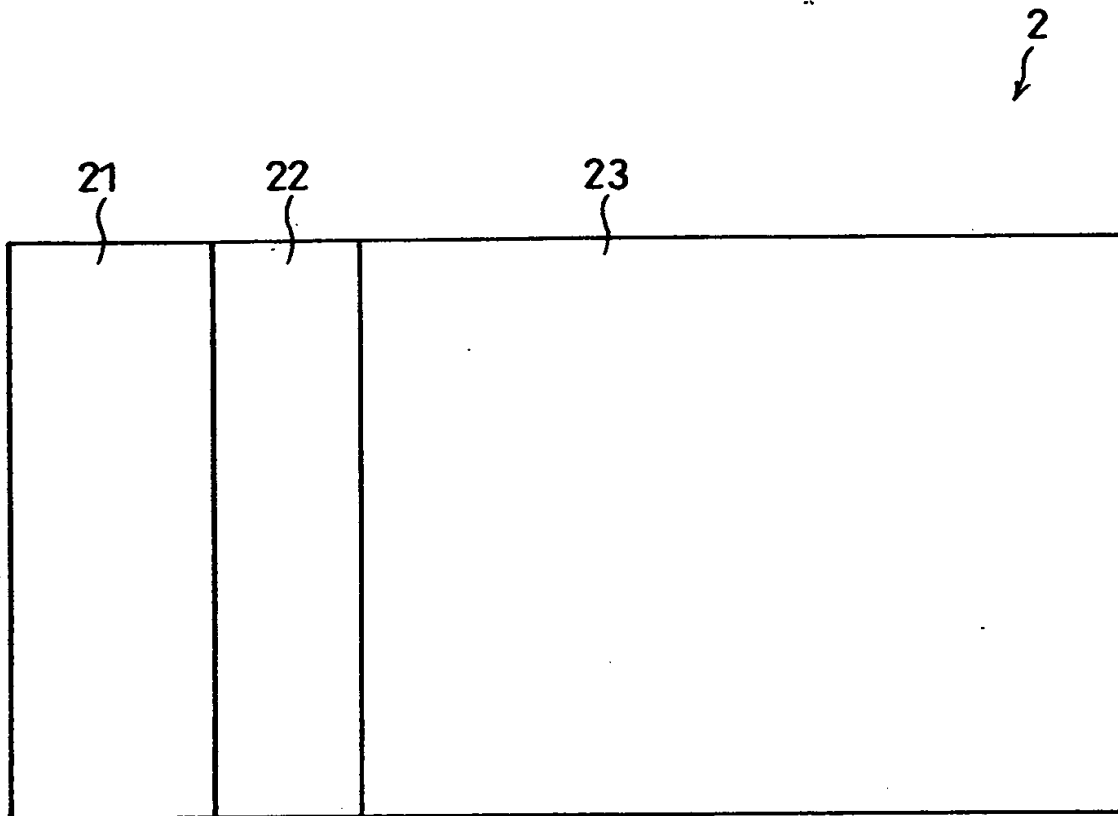
【書類名】

図面

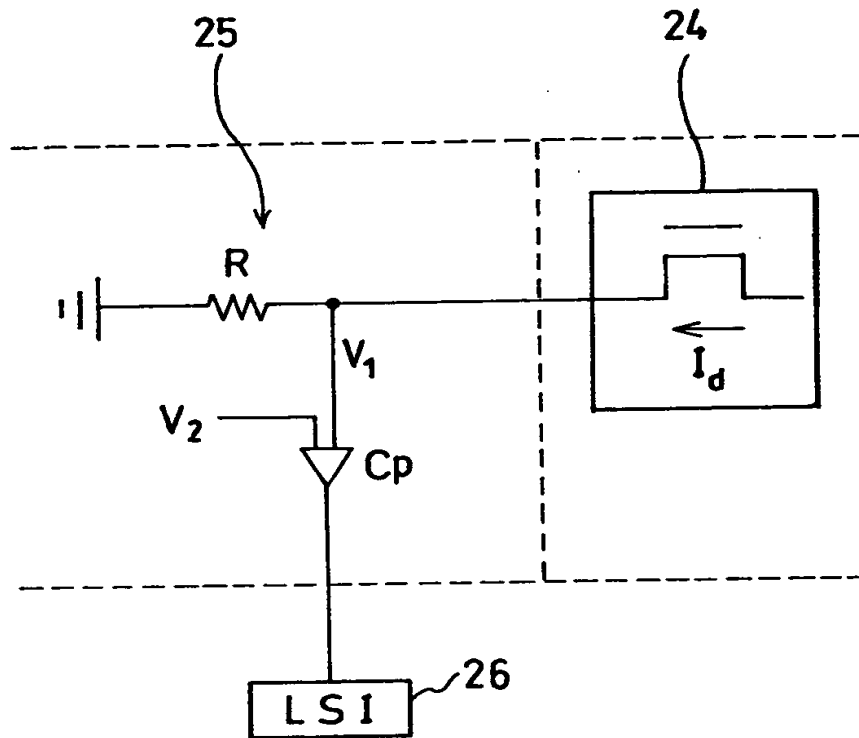
【図 1】



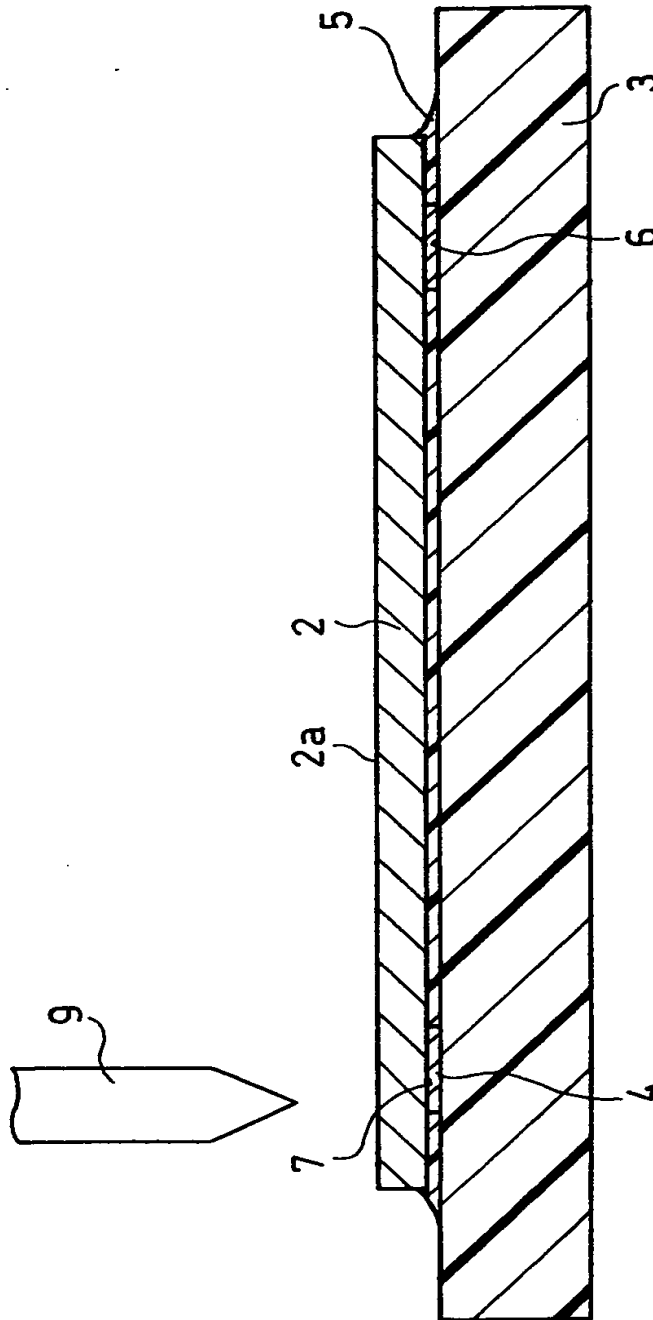
【図 2】



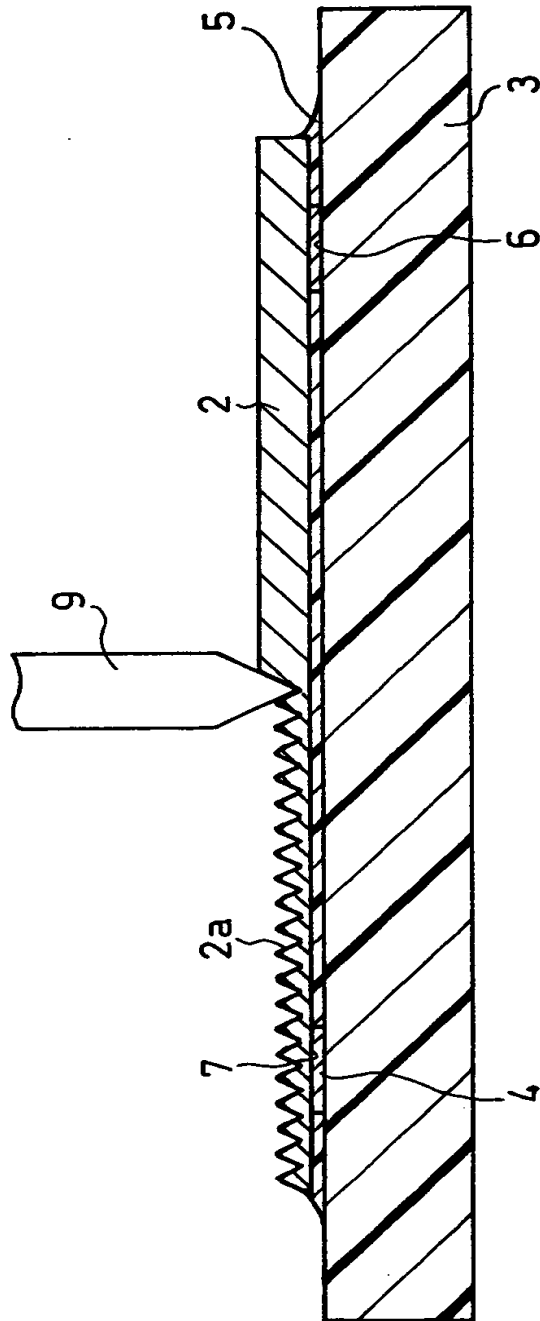
【図 3】



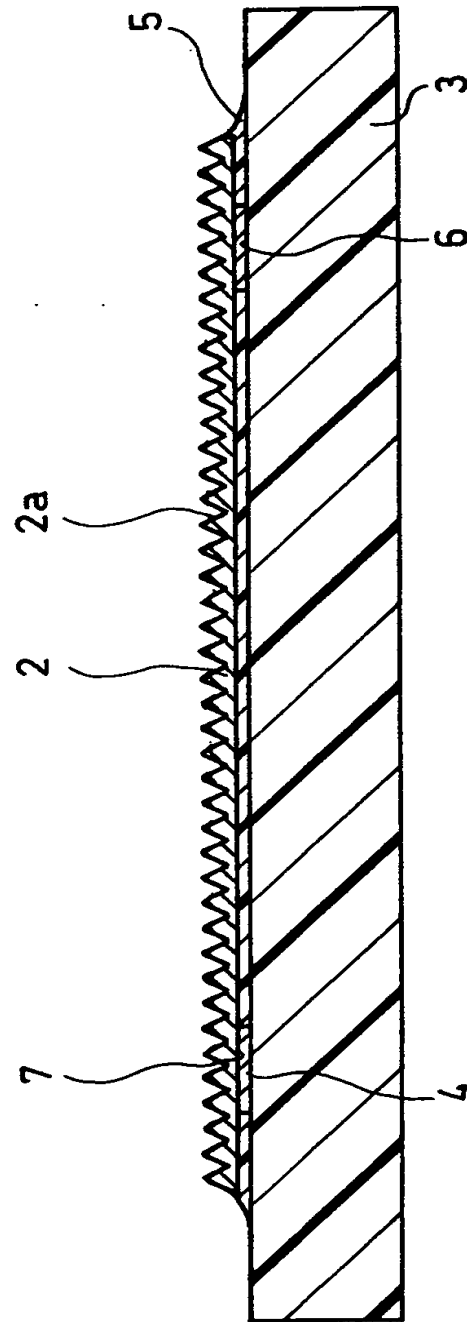
【図 4】



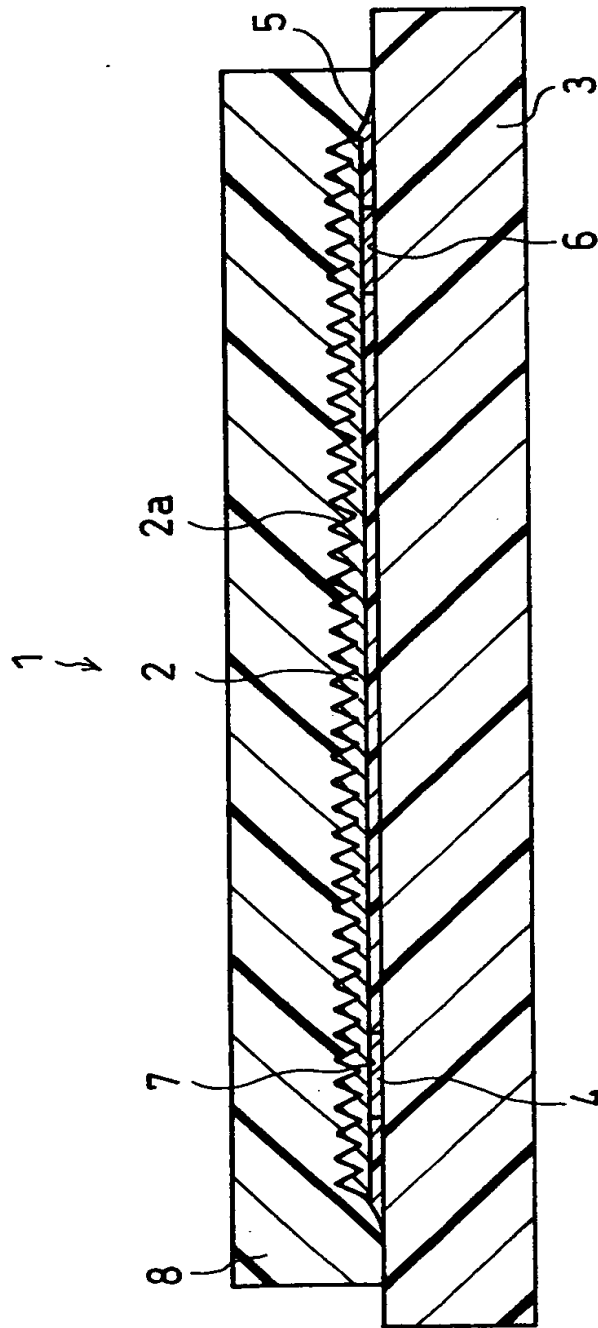
【図5】



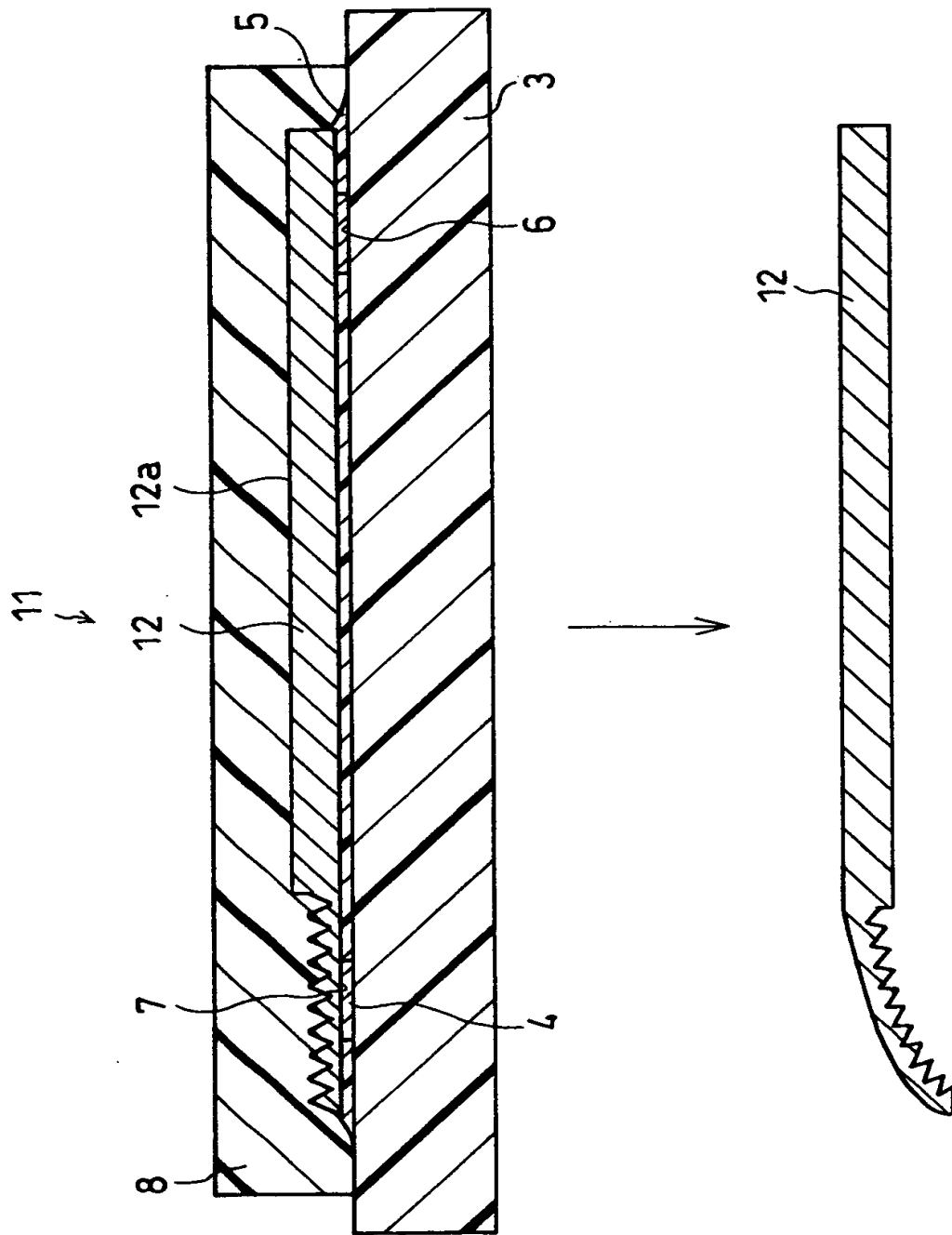
【図6】



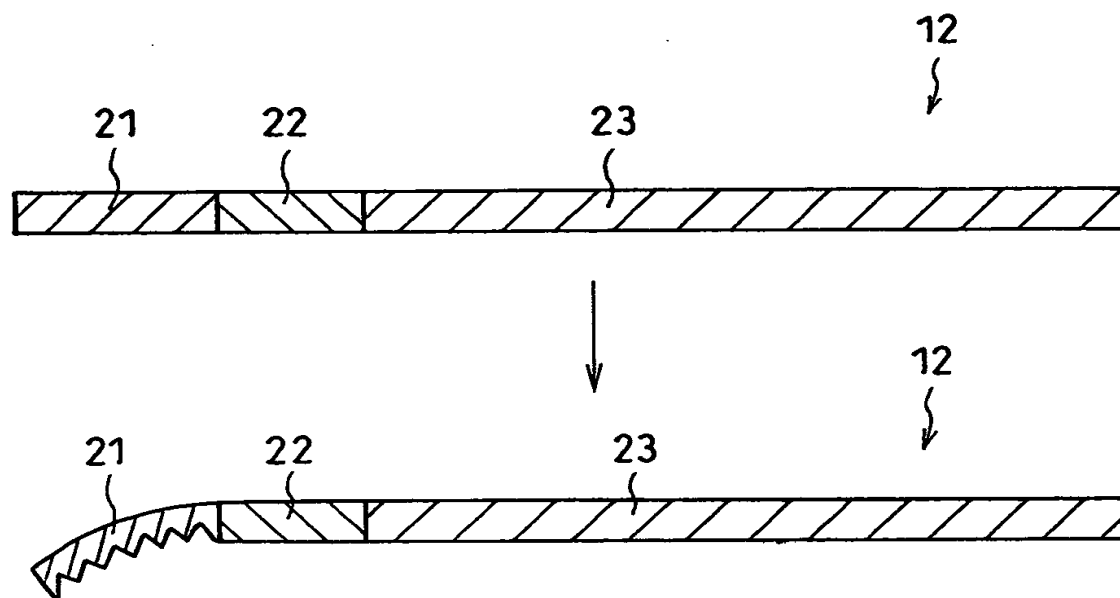
【図 7】



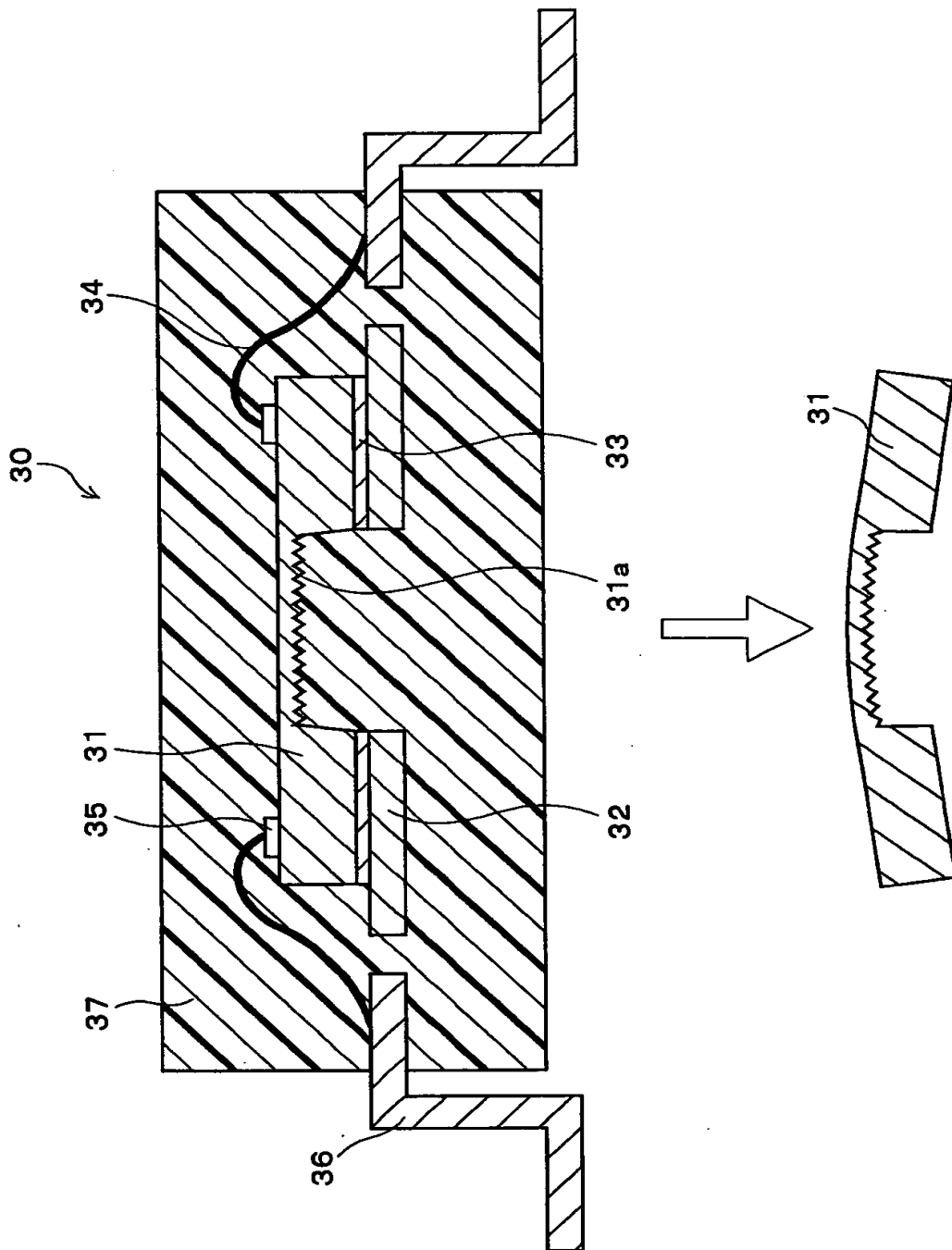
【図 8】



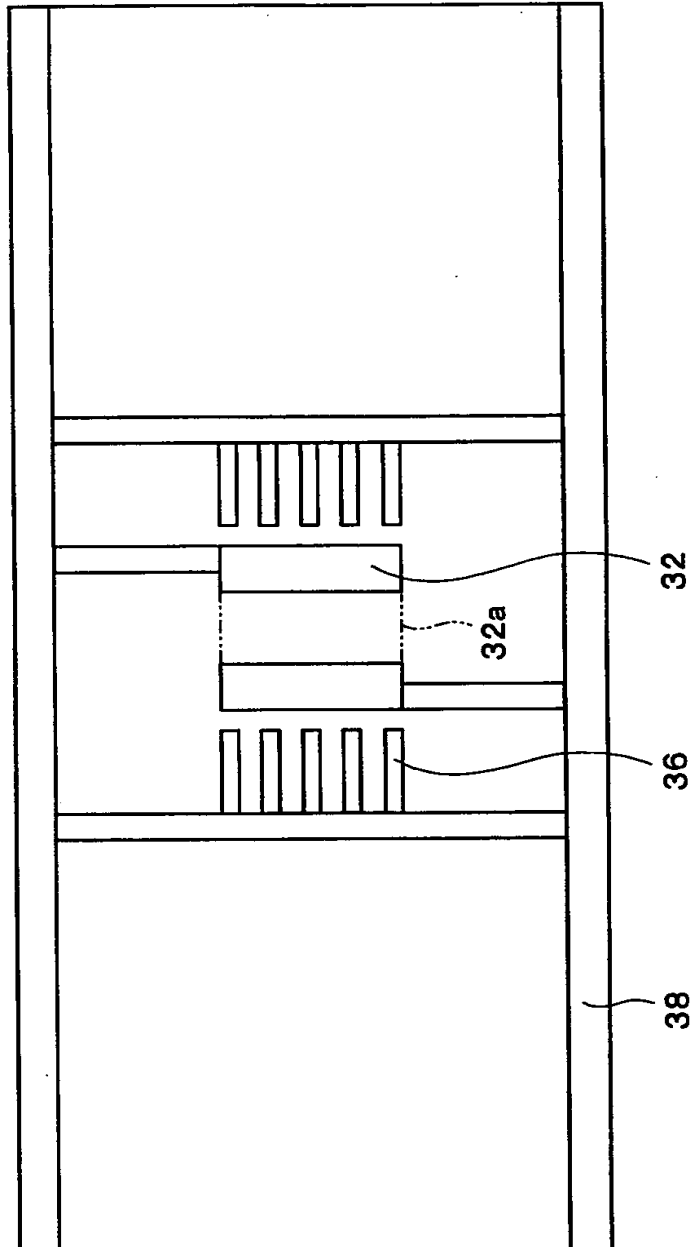
【図 9】



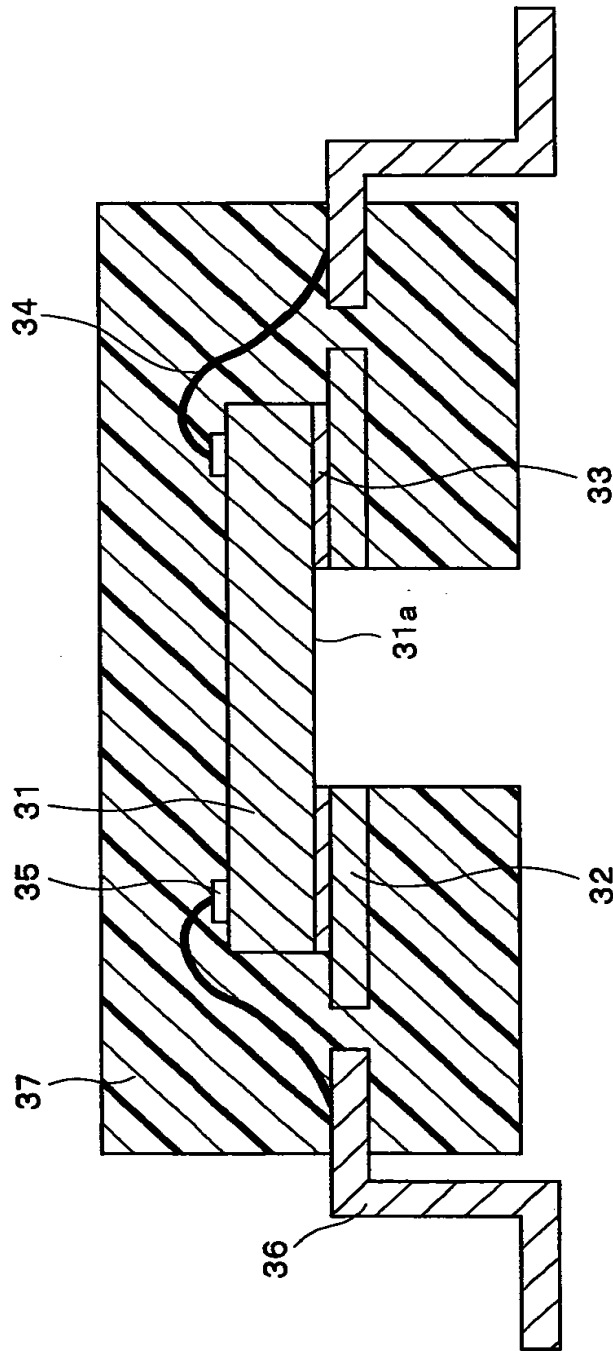
【図10】



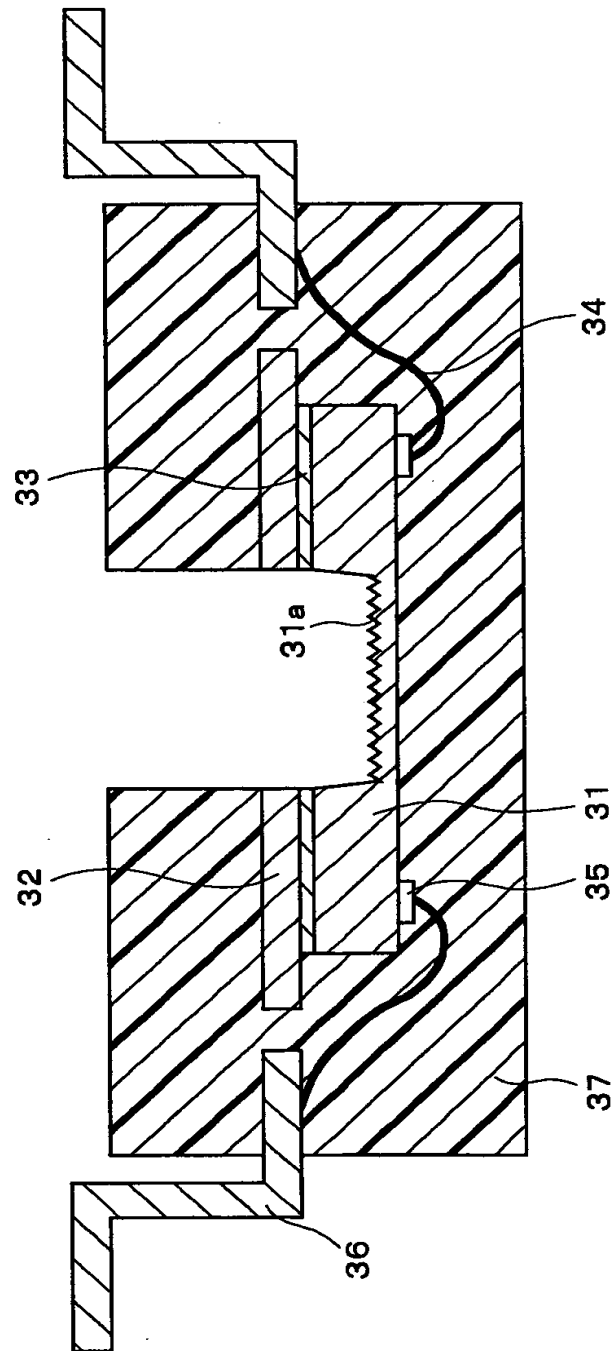
【図 1 1】



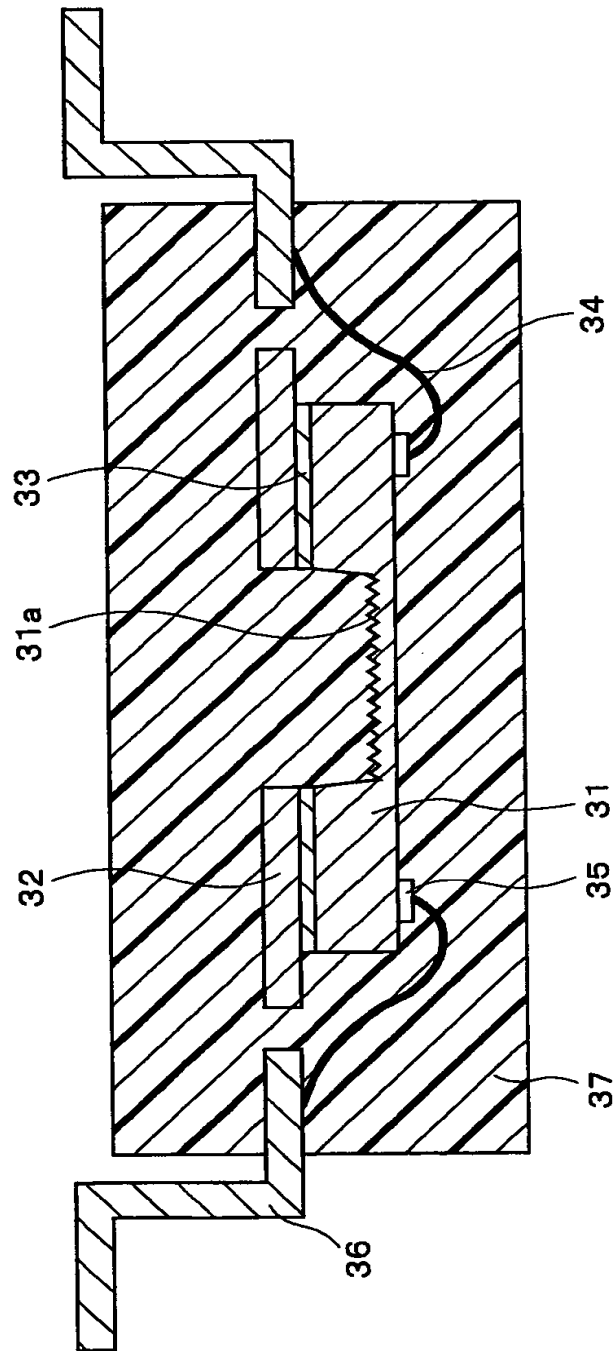
【図 1 2】



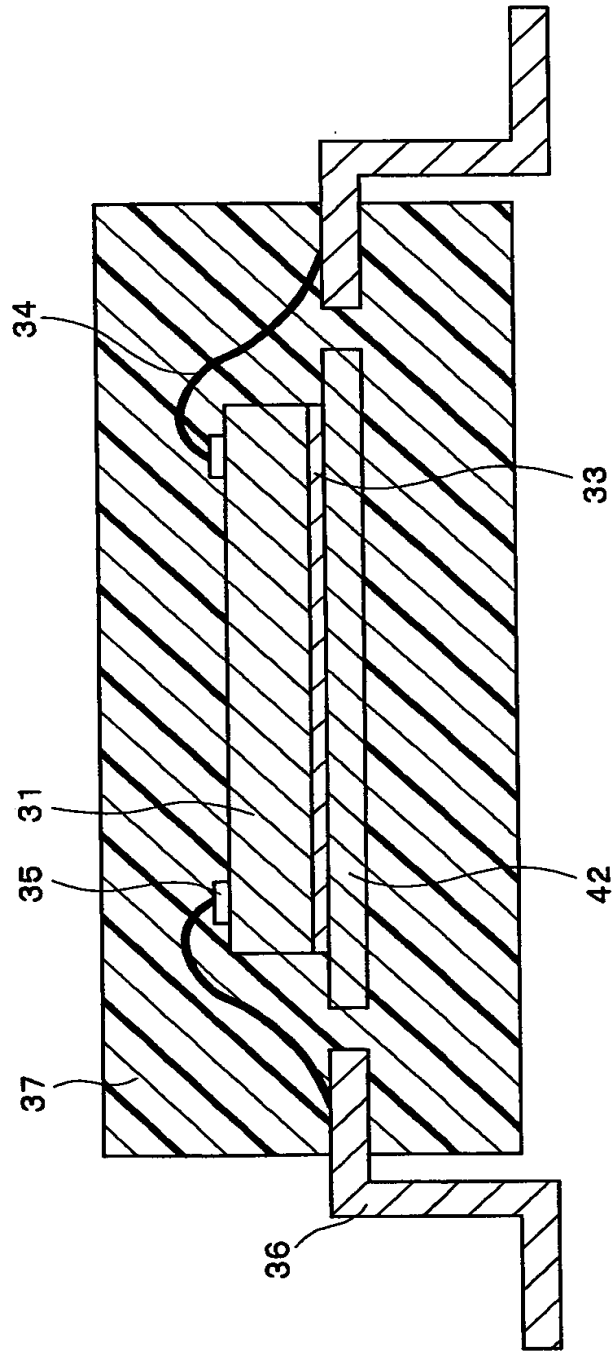
【図 1 3】



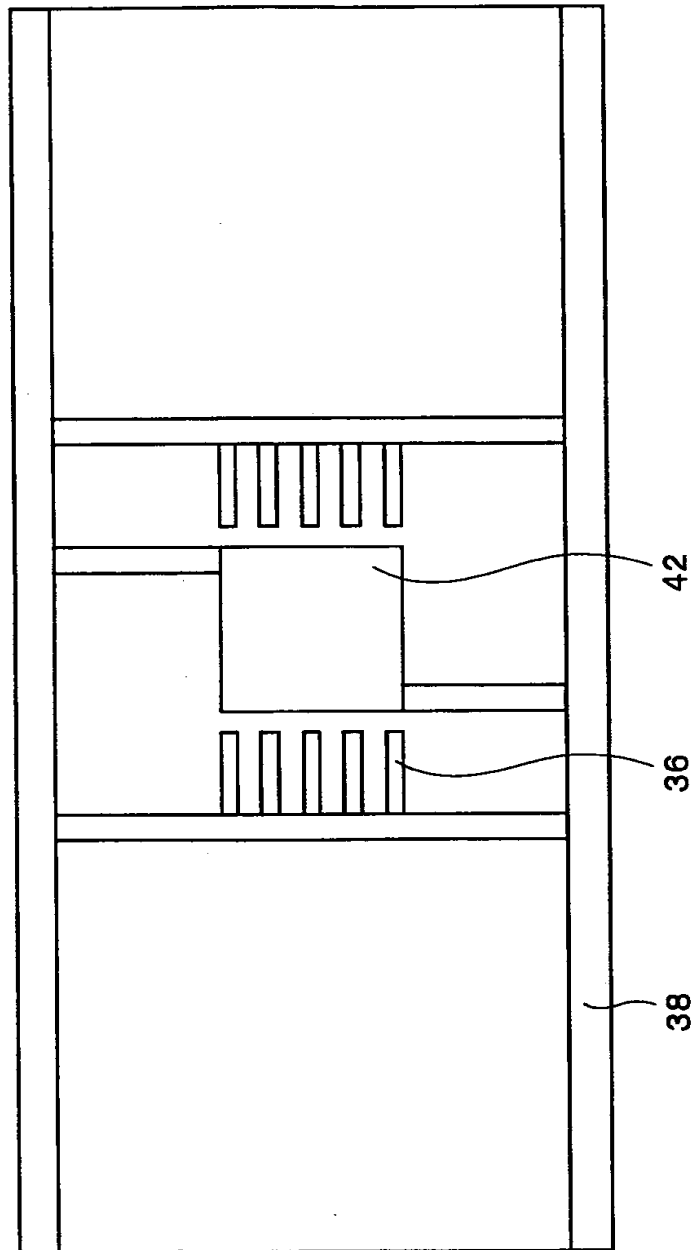
【図 14】



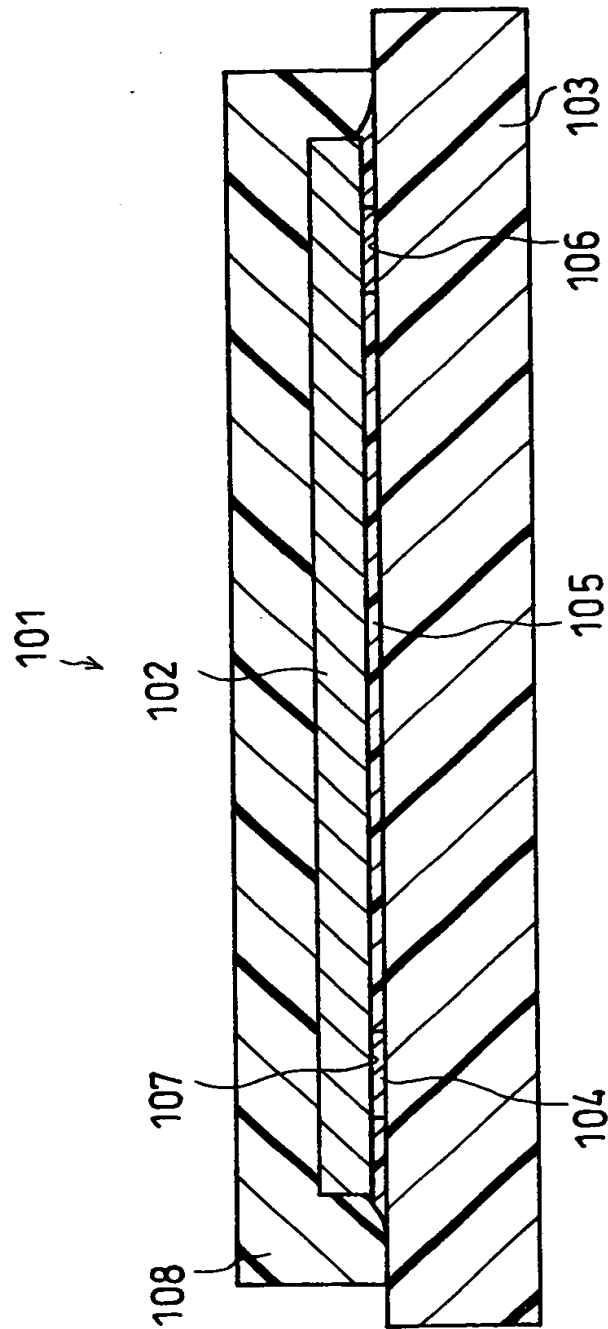
【図 1 5】



【図 1 6】



【図 1 7】



【書類名】 要約書

【要約】

【課題】 基板に固定されている半導体素子の集積回路が解析されることを確実に阻止することが可能な（半導体素子に関する機密情報を確実に保持することができる）半導体装置およびその製造方法を提供する。

【解決手段】 半導体装置 1 は、集積回路を備えるチップ 2 が平坦な状態となるように基板 3 に固定（フリップチップ実装）されていると共に、平坦な状態においてのみ、正常に動作するようになっている。チップ 2 は、裏面 2 a が加工されることによってストレスが付与されており、チップ 2 が基板 3 から取り外されたときに、上記ストレスによって該チップ 2 が変形するようになっている。チップ 2 の厚さは 5 0 μ m 以下であることがより好ましく、3 0 μ m ～ 5 0 μ m の範囲内であることがさらに好ましい。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区長池町22番22号

氏 名 シャープ株式会社

出 願 人 履 歴 情 報

識別番号 [000004226]

1. 変更年月日 1999年 7月15日

[変更理由] 住所変更

住 所 東京都千代田区大手町二丁目3番1号

氏 名 日本電信電話株式会社